

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-93752

(P2002-93752A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl.⁷
H 0 1 L 21/301

識別記号

F I
H 0 1 L 21/78

データベース* (参考)

S
L

審査請求 未請求 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願2000-280721 (P2000-280721)

(22) 出願日 平成12年9月14日 (2000.9.14)

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂5丁目3番6号

(72) 発明者 森 薫興

東京都港区赤坂5丁目3番6号TBS放送

センター 東京エレクトロン株式会社内

(74) 代理人 100070150

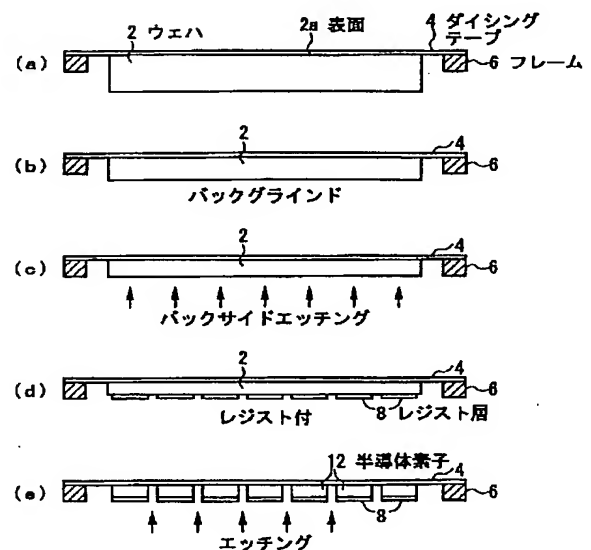
弁理士 伊東 忠彦

(54) 【発明の名称】 半導体素子分離方法及び半導体素子分離装置

(57) 【要約】

【課題】 本発明は、ウェハに形成された半導体素子を効率的に分離することのできる半導体素子分離方法及び半導体素子分離装置を提供することを課題とする。

【解決手段】 回路が形成されたウェハ2の表面2aがテープ材4に貼り付けられた状態で、ウェハ2の裏面2bを研磨する。研磨されたウェハの裏面2bをエッチングすることによりウェハ2を所定の厚みとする。半導体素子12に相当する領域にレジスト層8を形成してマスクングする。ウェハ2の裏面2b側からエッチングを施すことによりウェハ2を個々の半導体素子12に分離する。



【特許請求の範囲】

【請求項1】 複数の半導体素子が形成されたウェハを個々の半導体素子に分離する半導体素子分離方法であって、

回路が形成された前記ウェハの表面がテープ材に貼り付けられた状態で、前記ウェハの裏面を研磨する工程と、研磨された前記ウェハの裏面をエッチングにより所定の厚さだけ除去する工程と、

エッチングされた前記ウェハの裏面において、分離する個々の半導体素子に相当する領域にレジスト層を形成してマスキングする工程と、

前記ウェハの裏面側からエッチングを施すことにより前記ウェハを個々の半導体素子に分離する工程と、を有することを特徴とする半導体素子分離方法。

【請求項2】 請求項1記載の半導体素子分離方法であって、

分離された半導体素子を前記テープ材から取り外す工程を更に有することを特徴とする半導体素子分離方法。

【請求項3】 請求項1又は2記載の半導体素子分離方法であって、

分離された個々の半導体素子からレジスト層を除去する工程を更に有することを特徴とする半導体素子分離方法。

【請求項4】 請求項1乃至3のうちいずれか一項記載の半導体素子分離方法であって、

前記ウェハの裏面を所定の厚さだけ除去する工程に、プラズマエッチング、ウェットエッチング及びパッシブプラズマエッチングのうちいずれかを用いることを特徴とする半導体素子分離方法。

【請求項5】 請求項1乃至4のうちいずれか一項記載の半導体素子分離方法であって、

前記半導体素子を分離する工程にプラズマエッチングを用いることを特徴とする半導体素子分離方法。

【請求項6】 請求項5記載の半導体素子分離方法であって、

前記半導体素子を分離するために用いられるプラズマエッチングはパッシブプラズマエッチングであることを特徴とする半導体素子分離方法。

【請求項7】 請求項1乃至6のうちいずれか一項記載の半導体素子分離方法であって、

前記ウェハは紫外線硬化型粘着材により前記テープ材に貼り付けられ、半導体素子を前記テープ材から取り外す前に前記紫外線硬化型粘着材に紫外線を照射して硬化させることを特徴とする半導体素子分離方法。

【請求項8】 ウェハに形成された複数の半導体素子をパッシブプラズマエッチングにより個々の半導体素子に分離する半導体素子分離装置であって、エッチング用のプラズマを照射するノズルと、該ノズルからのプラズマが照射される前記ウェハを載置する載置台とを有し、前記ノズルと前記載置台とは相対的に移動可能に構成さ

れたことを特徴とする半導体素子分離装置。

【請求項9】 ウェハに形成された複数の半導体素子をプラズマエッチングにより個々の半導体素子に分離する半導体素子分離装置であって、

前記ウェハを搬送するための搬送機構が設けられた搬送室と、

該搬送室に接続され、前記ウェハを前記搬送室に出し入れするために使用されるロードロック室と、

前記搬送室に接続され、研磨されて所定の厚みとされた前記ウェハの裏面に、プラズマエッチング、ウェットエッチング及びパッシブプラズマエッチングのうちいずれかを施して所定の厚みに相当する部分を除去するための第1の処理装置と、

前記搬送室に接続され、前記第1の処理装置で処理された前記ウェハにプラズマエッチングを施して個々の半導体素子に分離するための第2の処理装置とよりなることを特徴とする半導体素子分離装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子分離方法及び半導体素子分離装置に係わり、特にウェハ上に形成された複数の半導体素子を個別の半導体素子に分離するための半導体素子分離方法及び半導体素子分離装置に関する。

【0002】電子機器の小型化、薄型化が進むなかで、電子機器に使用される半導体素子に対してもより一層の薄型化が要求されている。また、複数の半導体素子を積層して一つのパッケージに収容した積層型半導体装置の開発も進められており、半導体素子の薄型化への要求は高まっている。従来の半導体素子の厚みは200～250 μ m程度であったが、最近では50 μ m程度の厚みの半導体素子が作成されるようになっており、さらに薄型化も進められている。

【0003】また、半導体素子が使用される用途も多様化しており、ユーザの用途に特化した回路のみから構成されたロジック素子やディスクリート素子等の小型の半導体素子も数多く製造されている。

【0004】

【従来の技術】一般的に、半導体素子はシリコンウェハの表面（回路形成面）上に複数個まとめて形成される。回路形成面に半導体素子が形成されたウェハは、まずバックグラインディング工程にかけられる。バックグラインディング工程では、ウェハの回路形成面の反対側の面（裏面）を研磨することにより、ウェハの厚みを減少する。ウェハの厚みが所定の厚みとされた後、ウェハはダイシング工程にかけられ、所定の大きさの個々の半導体素子に分離される。

【0005】ダイシング工程では、ウェハはダイシングラインに沿ってダイシングソーにより切削されて、個々の半導体素子に分離される。一般的に、ダイシングライ

ンはウェハの回路形成面の所定の位置に設けられたダイシングマークを画像認識することにより認識される。したがって、ダイシングはウェハの表面を上に向けた状態で行われることが一般的である。

【0006】また、特開平9-181019号公報は、エッチングによりウェハを個々の半導体素子に分離する方法を開示している。この特開平9-181019号公報に開示された方法では、ウェハの背面をエッチングして厚みを薄くしながら同時に半導体素子の境界の部分のみ深くエッチングすることにより、ウェハを個々の半導体素子に分離する。すなわち、バックグラインディング工程とダイシング工程とをエッチングにより一度に行うものである。

【0007】

【発明が解決しようとする課題】ウェハをダイシングソーで切削する場合、いわゆるカーフロスが生じる。すなわち、ダイシングソーの厚みに相当するウェハの部分はダイシングソーによって削り取られるため、この部分のウェハは半導体素子を形成する領域として使用できない。現在使用されているダイシングソーの厚さは80～100 μ m程度である。したがって、ダイシングラインの100 μ m程度の幅の領域は半導体素子の形成に使用することができない。

【0008】また、ダイシングは高速回転する刃物（ダイシングソー）で機械的にウェハを削り取るものであり、ダイシングソーにより削り取られた部分の周囲には微小なクラック又はチップングが生じたり、過大な応力が発生してウェハが損傷したりするおそれがある。したがって、半導体素子の周囲部分には所定の幅の禁止領域が設けられる。すなわち、禁止領域には半導体素子回路を形成することはできず、回路形成に関して無効な領域とされる。

【0009】禁止領域の幅は一般的に50～100 μ m程度である。したがって、個々の半導体素子で考えると、周囲の幅100 μ m程度の領域には回路を形成することができず、その分半導体素子全体の寸法が大きくなってしまふ。このため、小さな寸法の半導体素子を製造する場合、禁止領域の面積が半導体素子全体の面積に占める割合が大きくなり、回路形成に有効な面積が減少してしまう。

【0010】また、ウェハ全体で考えると、一つのダイシングラインに対して、カーフロスの幅と禁止領域の幅とを合わせて最大300 μ m程度の無効な領域が生じてしまふ。半導体素子が多い場合は、一枚のウェハにおけるダイシングラインの数は少ないため、上記無効な領域がウェハ全体の面積に占める割合は小さい。しかし、半導体装置が小さくなると、ダイシングラインの数も増えてしまふ。したがって、上記無効な領域がウェハ全体の面積に占める割合が大きくなり、ウェハを有効に使用することができなくなる。すなわち、一枚のウェハから

切り取ることでできる半導体素子の数が減少してしまふ。

【0011】また、ダイシングの前にバックグラインディングされたウェハの面には細かいクラックが生じており、クラックが生じたままにしておくと、クラックの部分を起点として半導体素子が割れてしまうというような問題を生じる可能性がある。この問題は半導体素子が薄くなればなるほど顕著となってくる。このため、バックグラインディングを行った後に、ウェハの裏面に生じたクラックを除去する必要がある。

【0012】また、上述の特開平9-191019号公報に開示された方法では、ウェハを所定の厚みとするためのバックグラインディングをエッチングにより行うため、ウェハの所定の厚み分をエッチングにより除去する必要がある。このため、エッチング工程の時間が長くなり、半導体装置の製造工程時間が長くなるという問題がある。

【0013】本発明は上記の点に鑑みてなされたものであり、ウェハに形成された半導体素子を効率的に分離することのできる半導体素子分離方法及び半導体素子分離装置を提供することを主な目的とする。

【0014】本発明のより具体的な目的は、半導体素子の分離に必要なウェハにおける無効な領域の面積を大幅に減少して、ウェハにおいて半導体素子として使用可能な領域を増大することである。

【0015】また、本発明の他の目的は、バックグラインディングにより生じたウェハのクラックを効率的に除去し、実装後の信頼性を大幅に向上させることである。

【0016】

【課題を解決するための手段】上記の課題は、次に述べる各手段を講じることにより解決することができる。

【0017】請求項1記載の発明は、複数の半導体素子が形成されたウェハを個々の半導体素子に分離する半導体素子分離方法であって、回路が形成された前記ウェハの表面がテープ材に貼り付けられた状態で、前記ウェハの裏面を研磨する工程と、研磨された前記ウェハの裏面をエッチングにより所定の厚さだけ除去する工程と、エッチングされた前記ウェハの裏面において、分離する個々の半導体素子に相当する領域にレジスト層を形成してマスキングする工程と、前記ウェハの裏面側からエッチングを施すことにより前記ウェハを個々の半導体素子に分離する工程とを有することを特徴とするものである。

【0018】請求項2記載の発明は、請求項1記載の半導体素子分離方法であって、分離された半導体素子を前記テープ材から取り外す工程を更に有することを特徴とするものである。

【0019】請求項3記載の発明は、請求項1又は2記載の半導体素子分離方法であって、分離された個々の半導体素子からレジスト層を除去する工程を更に有することを特徴とするものである。

【0020】請求項4記載の発明は、請求項1乃至3のうちいずれか一項記載の半導体素子分離方法であって、前記ウェハの裏面を所定の厚さだけ除去する工程にプラズマエッチング、ウェットエッチング及びパーシャルプラズマエッチングのうちのいずれかを用いることを特徴とするものである。

【0021】請求項5記載の発明は、請求項1乃至4のうちいずれか一項記載の半導体素子分離方法であって、前記半導体素子を分離する工程にプラズマエッチングを用いることを特徴とするものである。

【0022】請求項6記載の発明は、請求項5記載の半導体素子分離方法であって、前記半導体素子を分離するために用いられるプラズマエッチングはパーシャルプラズマエッチングであることを特徴とするものである。

【0023】請求項7記載の発明は、請求項1乃至6のうちいずれか一項記載の半導体素子分離方法であって、前記ウェハは紫外線硬化型粘着材により前記テープ材に貼り付けられ、半導体素子を前記テープ材から取り外す前に前記紫外線硬化型粘着材に紫外線を照射して硬化させることを特徴とするものである。

【0024】請求項8記載の発明は、ウェハに形成された複数の半導体素子をパーシャルプラズマエッチングにより個々の半導体素子に分離する半導体素子分離装置であって、エッチング用のプラズマを照射するノズルと、該ノズルからのプラズマが照射される前記ウェハを載置する載置台とを有し、前記ノズルと前記載置台とは相対的に移動可能に構成されたことを特徴とするものである。

【0025】請求項9記載の発明は、ウェハに形成された複数の半導体素子をプラズマエッチングにより個々の半導体素子に分離する半導体素子分離装置であって、前記ウェハを搬送するための搬送機構が設けられた搬送室と、該搬送室に接続され、前記ウェハを前記搬送室に出し入れするために使用されるロードロック室と、前記搬送室に接続され、研磨されて所定の厚みとされた前記ウェハの裏面にプラズマエッチング、ウェットエッチング及びパーシャルプラズマエッチングのうちのいずれかを施して所定の厚みに相当する部分を除去するための第1の処理装置と、前記搬送室に接続され、前記第1の処理装置で処理された前記ウェハにプラズマエッチングを施して個々の半導体素子に分離するための第2の処理装置とよりなることを特徴とするものである。

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。

【0026】図1は本発明の第1の実施の形態による半導体素子分離方法により半導体素子層を分離する工程を示す図である。

【0027】まず、図1(a)に示すように、複数の半導体素子が形成されたウェハ2をダイシングテープ4に貼り付ける。ダイシングテープ4は、ウェハ2の外形よ

り大きい円形の枠体であるフレーム6に予め張られており、ウェハ2は粘着材10(図3参照)によりダイシングテープ4に貼り付けられる。

【0028】ウェハ2には予めその表面側(回路形成面側)の全面に複数の半導体素子を構成する回路が形成されており、ウェハ2の表面2aがダイシングテープ4に貼り付けられる。したがって、ウェハ2がダイシングテープ4に貼り付けられた状態(図1(a)に示す状態)では、ウェハ2の裏面2bが露出している。

【0029】ここで、ダイシングテープ4はウェハ2を固定するためのテープ材である。本発明では、後述のようにダイシングを行わないで半導体素子を分離するため、ダイシングテープである必要はなく、他の適当なテープ材を使用してもよい。

【0030】ウェハ2は通常600 μ m程度の厚みを有しており、そのままではこのウェハ2から形成される半導体素子の厚みが厚くなってしまふ。このため、回路が形成された後にウェハ2の裏面2b(回路形成面と反対側の面)を研磨することにより、ウェハ2の厚みを薄くする。このような研磨をバックグランドと称する。

【0031】ウェハ2はダイシングテープ4に貼り付けられたまま、バックグランド工程にかけられ、図1(b)に示すように、所定の厚み(例えば50 μ m程度)となるまで研磨される。この際、ダイシングテープ4は緩衝材として作用する。すなわち、ダイシングテープ4はバックグランド時にウェハ2に加わる押圧力を緩和する機能を有する。

【0032】バックグランド工程では、ウェハ2の厚みを半導体素子の厚とせず、所定の厚みだけ大きい厚さにとどめておく。例えば、半導体素子の厚みを50 μ mとするには、バックグランド高低では、ウェハ2の厚みを70 μ m程度としておき、余分な20 μ mは、図1(c)に示されるように、次の工程においてエッチングにより除去する。

【0033】すなわち、バックグランド工程において研磨されたウェハ2の裏面2aには微小なクラックが生じており、クラックが生じている可能性のある部分(厚さ20 μ mに相当装置する部分)をエッチングにより除去する。このエッチングはバックサイドエッチングと称される。バックサイドエッチングは、ドライエッチングを用いてもよく、またウェットエッチングでもよいが、プラズマエッチングを用いることが好ましい。また、プラズマエッチングは、一括プラズマエッチングでもよく、パーシャルプラズマエッチングを用いることとしてもよい。

【0034】バックサイドエッチングによりウェハ2が所定の厚みにされた後、図1(d)に示すように、ウェハ2のバックグランドされた面にレジスト層8が形成される。レジスト層8は、後述するエッチングのためのマスキングとして設けられる。

【0035】図2はレジスト層8が形成されたウェハ2を示す平面図である。図2中、ウェハ2における個々の半導体素子が形成された領域を一点鎖線で示す。すなわち、図2における一点鎖線は、ダイシングによりウェハ2を分離する場合のダイシングラインに相当する。本発明ではダイシングを用いずに半導体素子を分離するのでダイシングラインという呼称は適当ではないが、便宜上ダイシングラインと称する。

【0036】図2に示すように、レジスト層8は、ダイシングラインに沿った所定の幅の領域以外のウェハ2の裏面全面に形成される。図2において、図面の簡略化のためレジスト層8は一部しか示されていないが、実際はウェハ2の裏面全面に形成される。

【0037】図3は、図2のI I I—I I I線に沿った断面図である。上述のように、ダイシングラインに沿った所定の幅の領域にはレジスト層8は形成されておらず、その領域の幅は約10～20 μ mである。レジスト層8が形成された領域は、個々の半導体素子12（図4参照）に相当する回路が形成された領域であり、半導体素子12に相当する領域はレジスト層8により覆われることとなる。

【0038】レジスト層8が形成されると、次に、図1(e)に示すように、ウェハ2に対してエッチングが施される。この際、レジスト層はマスクとして作用し、レジスト層8が形成された領域以外の領域だけが選択的にエッチングにより除去される。エッチングは、エッチング深さがウェハ2の表面2aに達するまで継続される。図4は、エッチングが完了した状態を示す。

【0039】以上のように、本実施の形態では、従来のダイシングに代えて、エッチングによりウェハ2を個々の半導体素子12に分離する。ダイシングによる分離では、ダイシングソーの幅に相当する領域がウェハ2から除去される。ダイシングソーの幅は80 μ m～100 μ m程度なので、ダイシングラインに沿った100 μ m程度の幅の領域が除去される。しかし、本発明では、エッチングによりウェハの一部を除去して半導体素子12を分離するため、エッチング可能な幅である10 μ m～20 μ mの幅の領域のみ除去するだけでよい。したがって、半導体素子12を分離するために使用される領域の面積（すなわち半導体素子を形成することができない領域の面積）は、従来のダイシングに比較して5分の1から10分の1程度となり、一枚のウェハから作られる半導体素子の数を増やすことができる。

【0040】また、エッチングによる半導体素子の分離によれば、ウェハ全体を一度に処理することができるため、一枚のウェハに形成されている半導体素子の数が増えても、すなわち、ダイシングラインの数が増えても、半導体素子の分離に要する時間は変わらない。一方、ダイシングによる分離方法では、ダイシングラインの数が多くなればなるほど一枚のウェハを分離するた

めの時間は長くなる。したがって、一枚のウェハに形成される半導体素子の数が多いほど、エッチングによる分離工程時間短縮の効果が大きくなる。

【0041】また、エッチングによる半導体素子の分離によれば、ダイシングの際にチップングが生じる可能性がある禁止領域を設ける必要がない。すなわち、分離される半導体素子12の周囲に禁止領域を設ける必要がなく、分離された半導体素子12の表面全体にわたって回路が形成されていてもよい。したがって、従来のように禁止領域を設ける必要がないため、半導体素子の有効面積を増大することができる。換言すれば、従来のダイシングにより分離する方法に比較して、半導体素子全体の面積を縮小することができる。

【0042】上述の半導体素子12を分離するためのエッチングには、プラズマエッチングを用いることが好ましい。プラズマエッチングによれば、エッチングにより形成される面をプラズマの方向に対して略平行にすることができる。すなわち、エッチングにより形成される面をウェハの表面（又は裏面）に対してほぼ垂直として精度のよい加工による分離を達成することができる。

【0043】プラズマエッチングは、ウェハ2の全体に対して同時にプラズマを照射してエッチングを行う一括プラズマエッチングとしてもよく、また、部分的にプラズマ密度を高めて照射するパースシャルプラズマエッチングを用いてもよい。

【0044】一括プラズマエッチングでは、ウェハ2の全面に対して同時にエッチングが施されるため、半導体素子12の分離に要する時間（エッチング時間）の短縮に効果がある。しかし、一括プラズマエッチングでは、ウェハ2に厚みの異なる部位があった場合、厚みの大きい部分を完全にエッチングできるように制御すると、厚みの小さい部位は過度にエッチングされてしまう。また、厚みの小さい部位が完全にエッチングされた時点でエッチングを終了すると、厚みの大きい部位はエッチングされずに残ってしまう場合がある。これは、ウェハの厚みが一様でない場合であるが、プラズマの密度がウェハに全面に対して一様でない場合にも同様な問題が生じる恐れがある。

【0045】一方、パースシャルプラズマエッチングを使用することにより、エッチング深さの制御が容易となる。例えば、特開平9-199482号公報には、ウェハの表面付近で局部的に磁界を発生させ、プラズマ密度を局部的に高めてその部分だけエッチング速度を高めるパースシャルプラズマエッチング方法が開示されている。このパースシャルプラズマエッチング法を用いれば、例えば、ウェハ2の厚みが一様でなかった場合などは、厚みの大きい部分と厚みの小さい部分のいずれにも適当なエッチングを施すことができる。すなわち、パースシャルプラズマエッチングを用いることにより、部分的にエッチング深さを調整することができ、ウェハの全面にわたっ

て最適なエッチング条件により半導体素子を分離することができる。

【0046】また、特開平9-115887号公報には、被処理体に対してプラズマガスを局部的に吹き付けて局部エッチングを行うパーシャルプラズマエッチングが開示されている。本発明による半導体素子分離工程

(図1 (e) に示す工程) はこのようなパーシャルプラズマエッチングを用いて行うこともできる。

【0047】図5は局部的にプラズマガスを吹き付けるパーシャルプラズマエッチングを用いて本発明による半導体素子分離工程 (図1 (e) に示す工程) を行う半導体素子分離装置の全体構成を示す図である。図5に示す半導体素子分離装置20は、チャンバ22と、処理ガス導入管24と、マグネトロン26と、XYZテーブルと駆動部30とを有する。チャンバ22は、内部が所定の減圧環境となるように真空ポンプ等の排気手段に接続される。載置台としてのXYZテーブル28はチャンバ22内に設けられ、その上に被処理体であるウェハが載置される。XYZテーブル28は駆動部30によりX、Y、Z方向に移動可能に構成されている。

【0048】XYZテーブル28の上方には、ガス導入管24から延在したノズル24aが配置されている。ノズル24aの上方の部位はマグネトロン26に接続されており、ガス導入管を流れてきた処理ガスにマグネトロン26からの高周波が照射されプラズマが発生する。プラズマはノズル24aからウェハに局部的に照射され、ウェハがプラズマの作用により部分的にエッチングされる。

【0049】プラズマが照射される部位は、XYZテーブル28を駆動部30によりXY方向(水平方向)に駆動してウェハをノズル24aに対して相対的に移動することにより変えることができる。また、XYZテーブルをZ方向(垂直方向)に移動することにより、ノズル24aとウェハの間の距離を調整することができる。

【0050】上述の構成の半導体素子分離装置20を用いて図1 (e) に示すエッチング工程を行うことにより、半導体素子をエッチングにより分離することができる。すなわち、ノズル24aからのプラズマがウェハのダイシングラインに沿って局部的に照射されるようにXYZテーブルを移動することにより、半導体素子の分離を効率的に精度よく行うことができる。

【0051】なお、図5に示す半導体素子分離装置20では、ウェハをノズル24aに対して移動するように構成しているが、これに限られるものではない。すなわち、ノズル24aに対してウェハを移動する構成としてもよく、あるいは、両方を移動する構成としてもよい。すなわち、ウェハとノズル24aとが相対的に移動する機構を設けることにより、ノズル24aからのプラズマがウェハに照射される位置を変えることができればよい。

【0052】また、本実施の形態では、ウェハ2の裏面2b側からエッチングを施すことにより半導体素子12を分離している。したがって、エッチングの際にウェハ2の回路形成面である表面2aはダイシングテープ4により覆われて保護される。そして、エッチングが進んでウェハの表面2aに達するとエッチングは終了する。これにより、ウェハの表面2aの近傍がエッチング環境にさらされる時間は極めて短くなり、表面2aに形成された回路にエッチングの影響が及ぶことが防止される。

【0053】更に、本実施の形態によれば、バックグラインドを行った後に、ウェハ2をダイシングテープ4に貼り付けたままでエッチングによる分離工程を行うことができる。すなわち、ウェハ2をダイシングテープ4から取り外して上下を逆にする必要がないため、工程数を減らすことができ、ウェハ2のハンドリングに起因する損傷を防止することができる。特に、ウェハ2の厚みが小さい場合は、ハンドリング時にウェハ割れが多発する可能性があるため、裏側からのエッチングはウェハ割れの防止に有効である。

【0054】次に、本発明の第2の実施の形態について、図6を参照しながら説明する。

【0055】本発明の第2の実施の形態による半導体素子分離方法は、上述の第1の実施の形態による半導体素子分離方法における工程に、レジスト層8を除去する工程及び分離された半導体素子12を取り外す工程を加えたものである。したがって、図6 (a) ~6 (e) に示す工程は、図1 (a) ~1 (e) に示す工程と同様であり、その説明は省略する。

【0056】図6 (e) に示すエッチング工程が終了すると、図6 (g) に示すように、半導体素子12がダイシングテープ4に貼り付けられたままでレジスト層8が除去される。レジスト層8が除去されると、個々に分離された半導体素子12がダイシングテープに貼り付けられたまま残ることとなる。

【0057】レジスト層8が除去された後、図6 (g) に示すように、個々の半導体素子12は、ダイシングテープ4から取り外されて、次の工程に送られる。ウェハ2をダイシングテープ4に貼り付ける際に用いた粘着材が紫外線硬化型粘着材である場合は、半導体素子12を剥離する前に紫外線(UV)が照射されて粘着材を硬化させ、半導体装置が剥離しやすいようにする。

【0058】ここで、図6 (f) に示す工程において、レジスト層8を除去しているが、レジスト層8を除去せずに、レジスト層8が半導体素子12の裏面に残されたまま取り外すこととしてもよい。図7はレジスト層8を半導体素子12に残したまま半導体素子12を取り外す工程を示す図である。図7 (a) ~7 (e) に示す工程は、図6 (a) ~6 (e) 図1 (a) ~1 (e)) に示す工程と同様でありその説明は省略する。

【0059】図7に示すように、レジスト層8を除去し

なくても不都合がない場合は、図6 (f) に示す工程は省略し、図7 (e) に示すエッチング工程を終了した後、図7 (f') に示すようにレジスト層8が残ったままの半導体素子12をダイシングテープ4から取り外す。レジスト層8を半導体素子12の裏面に残しておくことにより、半導体素子を保護するという効果を得ることができる。

【0060】次に、本発明による半導体素子分離方法を実行するために好適な半導体素子分離装置について、図8を参照しながら説明する。

【0061】図8に示す半導体素子分離装置40は、図1 (c) に示すバックサイドエッチング工程と、図1 (e) に示すエッチング工程とを一連の工程で行うことができるように構成したものである。

【0062】図8に示すように、半導体素子分離装置40は、搬送室42と、ロードロック室(L/L)44と、第1の処理装置(P/C)46と、第2の処理装置(P/C)48とよりなる。

【0063】搬送室42は所定の減圧雰囲気中に維持可能な空間を画成している。この空間には、第1及び第2の処理装置46、48内で処理されるウェハを搬送するロボット42a (搬送機構) が設置されている。ロードロック室(L/L)44は搬送室42に接続されており、搬送室42にウェハを搬入したり、搬送室42から搬出したりする際に使用される。

【0064】第1の処理装置46は、搬送室42に接続されており、搬送室42のロボット42aによりウェハの出し入れが可能ないように構成されている。第1の処理装置46は、図1 (c) に示すバックサイドエッチングを行うために使用される。すなわち、第1の処理装置46は、図1 (c) に示すバックサイドエッチングをプラズマエッチングにより行うため、所定の減圧雰囲気に維持可能な処理チャンバを有する。

【0065】第2の処理装置48は、搬送室42に接続されており、搬送室42のロボット42aによりウェハの出し入れが可能ないように構成されている。第2の処理装置48は、図1 (e) に示すエッチングを行うために使用される。すなわち、第2の処理装置48は、図1 (e) に示す半導体素子12の分離をプラズマエッチングにより行うため、所定の減圧雰囲気に維持可能な処理チャンバを有する。

【0066】上述の半導体素子分離装置40によれば、図1 (c) から図1 (e) までの工程を一連の動作で行うことができ、本発明による半導体素子分離方法を容易に行うことができる。

【0067】なお、上述の実施の形態では、ウェハ2の表面2aをダイシングテープ4に貼り付けて、裏面2b側からエッチングすることにより半導体素子12を分離する構成としたが、ウェハ2の裏面2bをダイシングテープ4に貼り付け、表面2a側からエッチングすること

により半導体素子12を分離することとしてもよい。ただし、この場合、レジスト層8を回路形成面である表面2aに設けなければならない、レジスト層8の形成が表面2aに形成された回路に悪影響を及ぼさないようにする必要がある。また、エッチングが表面2a側から行われるため、表面2aにエッチングの影響が及ばないように配慮する必要もある。

【発明の効果】上述のように、本発明によれば、ウェハに形成された半導体素子を効率的に分離することができる。また、半導体素子の分離に必要なウェハにおける無効な領域の面積を大幅に減少して、ウェハにおいて半導体素子として使用可能な領域を増大することができる。さらに、バックグライディングにより生じたウェハのクラックを効率的に除去することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体素子分離方法を実行する工程を示す図である。

【図2】レジスト層が形成されたウェハの平面図である。

【図3】図3のI I I—I I I線に沿った拡大断面図である。

【図4】エッチングにより分離された半導体素子を示す拡大断面図である。

【図5】パーシャルプラズマエッチングを用いて図1 (e) に示す工程を行う半導体素子分離装置の全体構成図である。

【図6】本発明の第2の実施の形態による半導体素子分離方法を実行する工程を示す図である。

【図7】図6に示す半導体素子分離方法の変形例を実行する工程を示す図である。

【図8】本発明による半導体素子分離方法を実行する半導体素子分離装置の構成を示す概略図である。

【符号の説明】

- 2 ウェハ
- 2 a 表面
- 2 b 裏面
- 4 ダイシングテープ
- 6 フレーム
- 8 レジスト層
- 10 粘着材
- 12 半導体素子
- 20 半導体素子分離装置
- 22 チャンバ22
- 24 処理ガス導入管
- 24 a ノズル
- 26 マグネトロン
- 28 XYZテーブル
- 30 駆動部30
- 40 半導体素子分離装置
- 42 搬送室

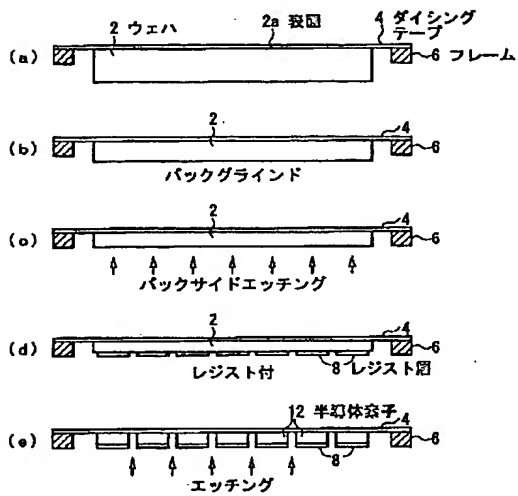
42a ロボット

44 ロードロック室

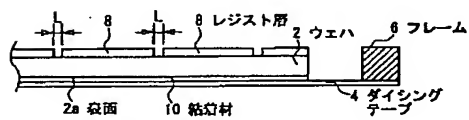
46 第1の処理装置

48 第2の処理装置

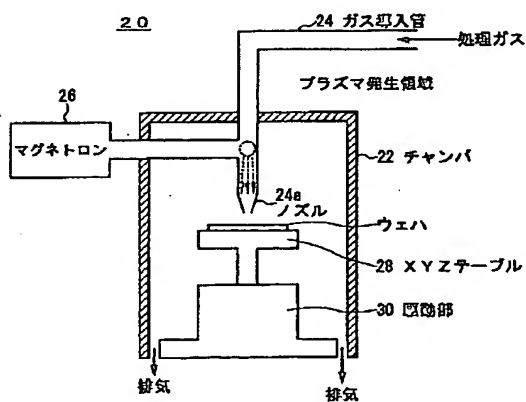
【図1】



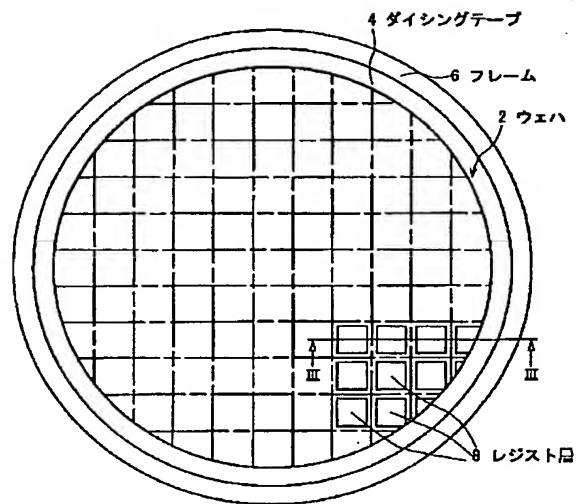
【図3】



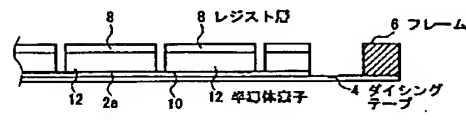
【図5】



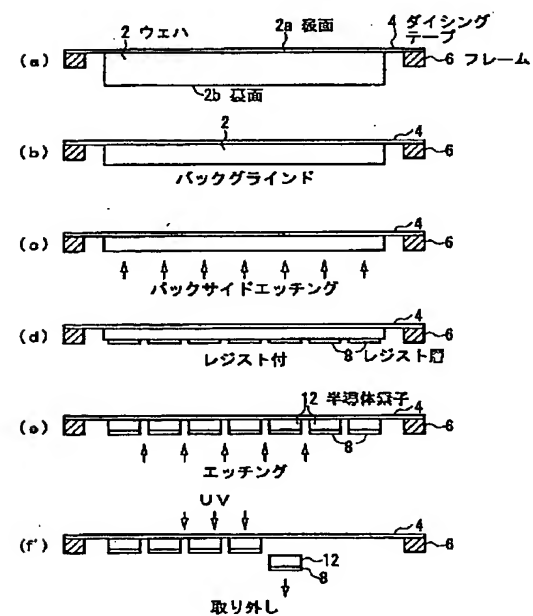
【図2】



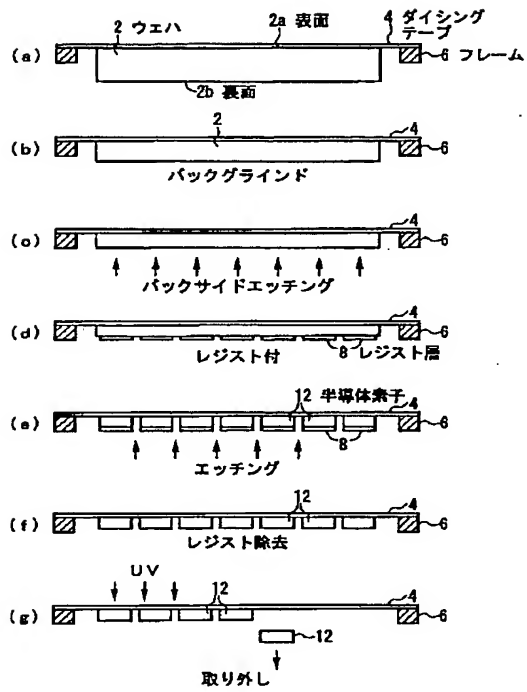
【図4】



【図7】



【図6】



【図8】

